

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平4-139896

⑫ Int. Cl.³

H 05 K 3/46

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)5月13日

| | |
|---|---------|
| Q | 6921-4E |
| N | 6921-4E |
| H | 6921-4E |

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 セラミック多層基板

⑮ 特 願 平2-264043

⑯ 出 願 平2(1990)10月1日

⑰ 発 明 者 大 谷 博 之 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 ⑱ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
 ⑲ 代 理 人 弁理士 小 銀 治 明 外2名

明 細 書

1、発明の名称

セラミック多層基板

2、特許請求の範囲

抵抗体ペーストを無機物と熱可塑性樹脂を主成分とするグリーンシートに開孔したヴァイアホールに充填あるいはその内壁に塗布したセラミック層を順次積層した後焼結して形成したセラミック多層基板。

3、発明の詳細な説明

産業上の利用分野

本発明は、電子機器等の回路に広く用いるセラミック多層基板に関する。

従来の技術

近年、セラミック多層基板は、熱伝導性や耐熱性や化学的耐久性で有機材料基板より秀れた特性を有するため、有機材料基板の代替品として、又電子機器の小型化や多機能に伴い高密度配線・高密度実装用の基板として多く使用されている。

以下に従来のセラミック多層基板について説明

する。

第4図に示すように、セラミック層9は、熱可塑性樹脂と無機物等からなるグリーンシートに開孔されたヴァイアホール内に導体ペーストを印刷等で充填した、導体層11と、抵抗材料からなる抵抗ペーストを厚さ10～20μmで塗布して形成した印刷抵抗12で構成される。

第3図に示すように、セラミック層9を所定の枚数を所定位置に導体層13や内部印刷抵抗14を形成させつつ順次積層し、高温から600℃の熱処理をして、有機物を蒸発、分解、燃焼除去し、900℃で焼結させてセラミック多層基板を形成する。

発明が解決しようとする課題

しかしながら、上記の従来の構成では、内部しようとする抵抗が多い場合、内部の配線に使用可能な面積が少なくなり、層数を増やすなどしなければならぬという問題点や、印刷抵抗の厚さが10～20μmと薄いために大容量の電流を流すためには、印刷抵抗の形状を幅を1mm以上で長さ

特開平 4-139896(2)

を数mmとらねばならず、印刷面積で幾平方mmにもなり、同一層内での配線面積が小さくなるという問題点を有していた。

本発明は、上記従来の問題点を解決するもので、配線面積を削減することなく大電流を流すことができる抵抗を内蔵したセラミック多層基板を提供することを目的とする。

課題を解決するための手段

この課題を解決するために、本発明のセラミック多層基板は、抵抗材料からなる抵抗体ペーストをグリーンシートに開孔されたヴィアホールに充填するか、あるいは、その内壁に塗布したセラミック層を順次積層し、焼結して形成した構成を有している。

作用

この構成によって、抵抗素子数が増えても、配線可能な面積を削減することがなく、抵抗の断面積を大きくすることとなる。

実施例

以下、本発明の一実施例について図面を参照し

ながら説明する。

第2図に示すように、アルミナとガラスとの基材と熱可塑性樹脂等からなるグリーンシートのパンチ等で開孔した穴に酸化ルテニウムを主成分とする抵抗ペーストを印刷等で充填した埋込み抵抗2、またはパンチで開孔した穴の内壁に塗布した内壁抵抗3と埋込み抵抗2または内壁抵抗3のAとからなる端子電極4でセラミック層1を構成する。

第1図に示すように、セラミック層1を所定の枚数積層して900℃で焼結し、内部に埋込み抵抗6や内壁抵抗7や導体層8を形成したセラミック多層基板とする。セラミック多層基板に内蔵された抵抗体は、次式で決まる抵抗値を有する。

$$R = r \cdot c \times \frac{t}{\rho} \quad R \cdots \text{抵抗値}, r \cdots \text{ペーストの抵抗定数}, t \cdots \text{セラミック層の厚さ}, \rho \cdots \text{抵抗体の断面積}$$

以上の式より、 R は、 r 、 c 、 t 、 ρ の積で決まる。したがって、 R を大きくするには、 r 、 c 、 t 、 ρ のいずれか一つまたは二つ以上を大きくすればよい。

以上のように、本実施例によれば、グリーンシートに開孔されたヴィアホールを抵抗材料からなる抵抗体ペーストを充填するか、内壁に塗布し

- 3 -

- 4 -

た抵抗を設けることにより、グリーンシートを開孔するパンチや金型の径を任意に選択することによって、ヴィアホールの径を変え、埋込み抵抗や内壁抵抗の断面積を調整することができる。したがって、大きな抵抗断面積を得ることができ、大電流も流すことが可能となる。さらに、抵抗体は導体層間を形成する絶縁体のセラミック層内に形成されるため、導体層の配線可能な面積を減らすことがない。

なお、本実施例では基材をアルミナとガラスを主成分としたが他の成分で構成したセラミックでも良く、抵抗体を酸化ルテニウムとガラスを主成分としたが他の成分の構成でも良い。

発明の効果

以上の実施例の説明からも明らかなように、本発明は、グリーンシートに開孔されたヴィアホールの少なくとも1ヶ所以上、またはヴィアホールを囲むようなヴィアホールまたは、スルーホールの1ヶ所以上に抵抗材料を充填するかあるいはそれらの内壁に塗布した構成により、内層の配線に

必要となるグリーンシート表面の配線可能面積を減らすことなく、抵抗を形成することができる。さらに抵抗の断面積を任意に選択で断面積を大きくして大電流を流す回路にも使用できる優れたセラミック多層基板を実現できるものである。

4. 図面の簡単な説明

第1図および第2図は本発明の一実施例のセラミック多層基板の構成を示す断面図、第3図および第4図は従来のセラミック多層基板の構成を示す断面図である。

1……セラミック層、5……ヴィアホール、6……埋込み抵抗、7……内壁抵抗、8……導体層。

代理人の氏名 弁理士 小瀬治 明 ほか2名

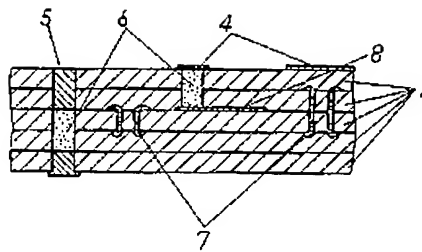
- 5 -

- 6 -

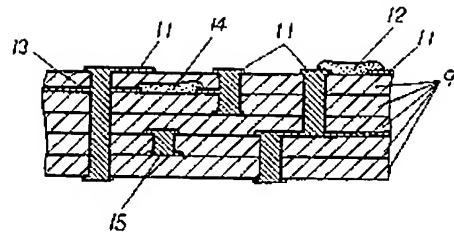
特開平 4-139896(3)

- 1 ... セラミック層
- 5 ... ヴィアホール
- 6 ... 酸化銅抵抗
- 7 ... 内装抵抗
- 8 ... 導体層

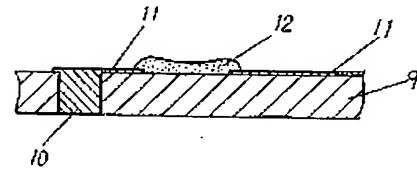
第 1 図



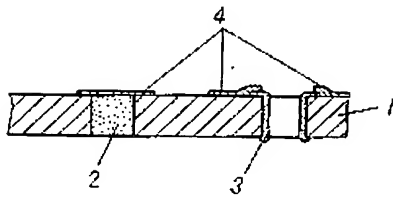
第 3 図



第 4 図

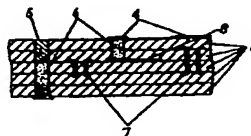


第 2 図



PAJ

- TI - CERAMIC MULTILAYER SUBSTRATE
- AB - PURPOSE: To let a big current flow without reducing a wiring area by either filling an opening hole of a green sheet with resistor paste, or by applying the inside wall with the resistor paste followed by sintering the green sheet.
- CONSTITUTION: A ceramic layer 1 is composed of buried resistance 2, in which a hole opened by a punch or the like on a green sheet consisting of a main material of alumina and glass and of thermoplastic resin is filled with resistance paste mainly composed of ruthenium oxide by printing or the like, or inner wall resistance 3 applied to an inner wall of a hole opened by punching, and terminal electrodes 4 consisting of Ag of the buried resistance 2 or the inner wall resistance 3. Then, a prescribed number of sheets of the ceramic layers 1 are laminated to be sintered, and buried resistance 6, inner resistance 7 and a conductor layer 8 are formed in the inside so as to make a ceramic multilayer substrate. Thereby, a sectional area of resistance is increased to let flow a big current without cutting a wiring area in spite of the increased number of resistance elements.
- PN - JP4139896 A 19920513
- PD - 1992-05-13
- ABD - 19920902
- ABV - 016415
- AP - JP19900264043 19901001
- GR - E1257
- PA - MATSUSHITA ELECTRIC IND CO LTD
- IN - OTANI HIROYUKI
- I - H05K3/46



<First Page Image>

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-139896

(43)Date of publication of application : 13.05.1992

(51)Int. Cl.

H05K 3/46

(21)Application number : 02-264043

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 01.10.1990

(72)Inventor : OTANI HIROYUKI

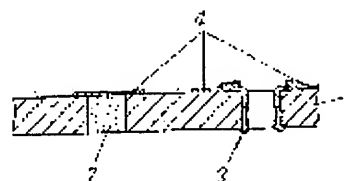
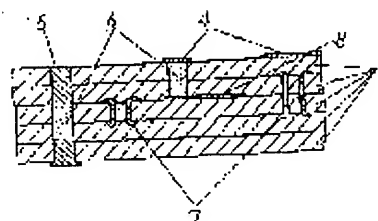
(54) CERAMIC MULTILAYER SUBSTRATE

(57)Abstract:

PURPOSE: To let a big current flow without reducing a wiring area by either filling an opening hole of a green sheet with resistor paste, or by applying the inside wall with the resistor paste followed by sintering the green sheet.

CONSTITUTION: A ceramic layer 1 is composed of buried resistance 2, in which a hole opened by a punch or the like on a green sheet consisting of a main material of alumina and glass and of thermoplastic resin is filled with resistance paste mainly composed of ruthenium oxide by printing or the like, or inner wall resistance 3 applied to an inner wall of a hole opened by punching, and terminal electrodes 4 consisting of Ag of the buried resistance 2 or the inner wall resistance 3. Then, a prescribed number of sheets of the ceramic layers 1 are laminated to be sintered, and buried resistance 6, inner resistance 7 and a conductor layer 8 are formed in

the inside so as to make a ceramic multilayer substrate. Thereby, a sectional area of resistance is increased to let flow a big current without cutting a wiring area inspite of the increased number of resistance elements.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2000 Japan Patent Office